APÊNDICE A5: INTERFACE ENTRE AS FPGAS DO EMULADOR DO GLiTCH

A informação contida neste apêndice diz respeito à implementação da interface entre as partições de h/w e de s/w do emulador do GLiTCH. Concretamente, apresenta-se a lista das ligações físicas entre cada uma das FPGAs e os conectores que devem ser interligados manualmente. A LCA0 liga aos conectores JP1 e JP2, enquanto a LCA1 liga aos conetores JP3 e JP6. Como as ligações das duas FPGAs aos conectores foram configuradas para usar pinos equivalentes, através do atributo LOC nos esquemáticos, a parte manual da ligação é muito simples e segura: resume-se a colocar um cabo normal a ligar JP2 a JP6 e outro igual a ligar JP1 a JP3.

SINAIS NAS FPGAS	**PINOS NAS FPGAS (matriz)**	**(linear)**	**SINAIS NOS CONECTORES**	**PINOS NOS CONECTORES (LCA0)**	**(LCA1)**
SHIFT	C2	34	I/O87	26 (JP2)	26 (JP6)
VSRADDR0	P1	129	I/O82	21 (JP2)	21 (JP6)
VSRCLK	F2	72	I/O90	29 (JP2)	29 (JP6)
NOTCSEN	M1	107	I/O93	32 (JP2)	32 (JP6)
VIN0	E2	66	I/O78	17 (JP2)	17 (JP6)
VIN1	D1	49	I/O89	28 (JP2)	28 (JP6)
VIN2	F3	73	I/O77	16 (JP2)	16 (JP6)
VIN3	D2	50	I/O73	12 (JP2)	12 (JP6)
VIN4	C1	33	I/O86	25 (JP2)	25 (JP6)
VIN5	E3	67	I/O88	27 (JP2)	27 (JP6)
VIN6	B1	17	I/O72	11 (JP2)	11 (JP6)
VIN7	C4	36	I/O05	6 (JP1)	6 (JP3)
VOUT0	T5	165	I/O63	2 (JP2)	2 (JP6)
VOUT1	P6	134	I/O62	1 (JP2)	1 (JP6)
VOUT2	N6	118	I/O61	62 (JP1)	62 (JP3)
VOUT3	R6	150	I/O60	61 (JP1)	61 (JP3)
VOUT4	P7	135	I/O59	60 (JP1)	60 (JP3)
VOUT5	N7	119	I/O58	59 (JP1)	59 (JP3)
VOUT6	T7	167	I/O57	58 (JP1)	58 (JP3)
VOUT7	N5	117	I/O64	3 (JP2)	3 (JP6)